

6/ Corresponding to US 5,594,275

Chinese Patent Publication CN1106164A

English translation from page 4, line 18 through page 5, line 8

A preferable embodiment of the semiconductor device (SOJ package) according to the present invention is described hereunder in details with reference to FIG. 2.

As shown in FIG2, the main substrate 21 has at its both ends a plurality of "islands" (unshown) formed on the lower surface thereof, which "islands" include through holes (unshown) and electrode connecting terminals 23, and has at its both ends a plurality of ball grid arrays 25 formed on the upper surface. A plurality of welded balls 26 is welded on the ball grid arrays 25 on the main substrate 21.

While introducing an adhesive 29, the semiconductor chip 22 is secured to the intermediate portion of the lower surface of the main substrate 21. A pressure welding plate (unshown) of the semiconductor chip 22 is then welded to the electrode connecting terminals 23 via a wire 24. The semiconductor chip 22 is finally molded using EMC into a package 20.

In this embodiment, the electrode connecting terminals 23 are electrically connected to the "islands" via the holes, and subsequently electrically connected to the wire 24.

The above structural profile will become more apparent from FIG. 3, which shows a sectioned view of FIG. 2.

As shown in FIG. 3, "islands" 27 and through holes 28, formed along the length direction of the main substrate 21, are electrically connected with one another through the electrode connecting terminals 23. Packages 20 are as well arranged along the length direction of the main substrate 21 and disposed at the ends of the electrode connecting terminals 23.

**Semiconductor device and a manufacturing method therefor**

特許公報番号 CN1106164

公報発行日 1995-08-02

発明者: KWON YOUNG SHIN (KR); AHN SEUNG HO (KR)

出願人 SAMSUNG ELECTRONICS CO LTD (KR)

分類:

一国際: **H01L23/12; H01L21/60; H01L23/31; H01L25/065; H01L25/07; H01L25/10; H01L25/11; H01L25/18; H01L23/12; H01L21/02; H01L23/28; H01L25/065; H01L25/07; H01L25/10; H01L25/18; (IPC1-7): H01L23/495; H01L23/13**

一欧州: H01L23/31H2B; H01L25/10J

出願番号 CN19941017079 19941005

優先権主張番号: KR19930024581 19931118

他の公開



US5594275 (A1)

JP7183426 (A)

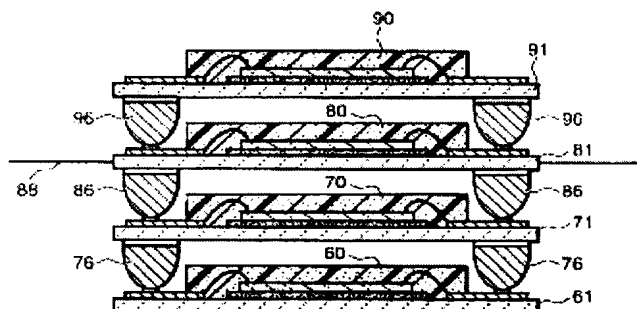
CN1041254C (C)

ここにデータエラーを報告してください

下記の要約はありません CN1106164

対応特許の要約 **US5594275**

A semiconductor device having at least one semiconductor chip loaded on a lower surface of a printed circuit board, electrode terminals of the semiconductor chip wire-bonded to terminals on the printed circuit board, and a connection portion of the semiconductor chip and wires encapsulated by means of encapsulating resin includes a semiconductor device of three-dimensional structure having the printed circuit board reversely mounted, the terminals of the printed circuit board connected to external terminals via through holes, and at least one semiconductor device stacked on an upper surface of the printed circuit board, thereby interconnecting respective semiconductor devices while interposing solder balls to be mounted to other printed circuit boards by leads being the external terminals. Thus, a ball grid array (BGA) package able to be stacked inside a small out-line J-lead (SOJ) package is used for performing interconnection to make the BGA overcome a typically two-dimensional flat mounting and attain a three-dimensional surface mounting structure while being perfectly compatible with a currently-available mounting process on the main substrate, thereby improving mounting efficiency.



esp@cenet データベースから供給されたデータ - Worldwide



## [12] 发明专利申请公开说明书

[21]申请号 94117079.9

[51]Int.Cl<sup>6</sup>

H01L 23/495

[43]公开日 1995年8月2日

[22]申请日 94.10.5

[30]优先权

[32]93.11.18[33]KR[31]24581/93

[71]申请人 三星电子株式会社

地址 韩国京畿道水原市

[72]发明人 权宁信 安昇皓

[74]专利代理机构 中国专利代理(香港)有限公司

代理人 程天正 萧松昌

H01L 23/13

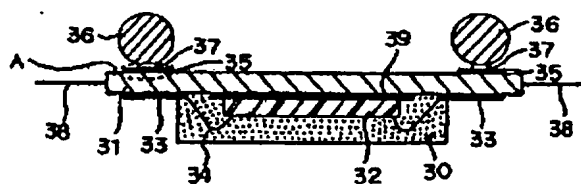
说明书页数:

附图页数:

[54]发明名称 半导体器件及其制造方法

[57]摘要

一种具有至少一个装在印制电路板下表面上的半导体芯片、丝焊到印制电路板端子上的半导体芯片电极端子、以及用密封树脂密封的半导体芯片和焊丝的连接部分的半导体器件,包括三维结构的半导体器件,它具有反向安装的印制电路板、经通孔连到外部端子的印制电路板端子以及至少一个层叠在印制电路板上表面的半层体器件,因而,当通过作为外部端子的引线把待安装的焊球加放入其它印制电路板中时使各个半导体器件互连。



(BJ)第 1456 号

的和其他优点将变得更加清楚, 其中

图 1 是表示一个常规半导体器件实施例的垂直剖面图;

图 2 是表示一个按照本发明的半导体器件实施例的垂直剖面图;

图 3 是表示在主衬底上形成的岛状图形、通孔的及电极连接端子的图 2 局部平面剖视图;

图 4 是表示另一个按照本发明的半导体器件实施例的垂直剖面图;

图 5 是表示在主衬底上形成岛状图形、通孔及电极连接端子的图 4 局部平面剖视图;

图 6 是图 4 一个区域的局部放大剖视图;

图 7 是表示将依据本发明的半导体器件组装到半导体衬底上部的平面图;

图 8 是表示将依据本发明的半导体器件组装到半导体衬底下部的平面图;

图 9 是表示另一个依据本发明的半导体器件实施例的垂直剖面图。

参照图 2, 下面将详细地描述依据本发明的半导体器件 (SOJ 封装) 的优选实施例。

在图 2 中, 多个岛状图形 (未示出) 包括通孔 (未示出) 和电极连接端子 23, 并形成于主衬底 21 的下表面两端上。多个球形网格阵列 25 形成于主衬底 21 的上表面的两端上, 而多个焊球 26 则形成于主衬底 21 的球形网格阵列 25 之上。

在加放入粘合剂 29 的同时, 半导体芯片 22 被固定在主衬底 21

的下表面中部, 再将半导体芯片 22 的压焊盘 (未示出) 用金属丝 24 焊接到电极连接端子 23 上, 并且用 EMC 模塑成封装件 20。

这里, 电极连接端子 23 通过孔与岛状图形电连接, 再电连接到金属丝 24。

参照作为图 2 局部剖面图的图 3 可以更清楚地理解上述结构。

参照图 3, 由电极连接端子 23 共同电连接沿主衬底 21 的长度方向一起形成的岛状图形 27 和通孔 28, 而后沿长度方向在电极连接端子 23 的末端设置封装体 20。

图 4 是表示另一个依本发明半导体器件的实施例垂直剖面图。

参照图 4, 该半导体器件至少有一个通过加放入粘合剂 39 而固定在印制电路板 (此后称为 "PCB") 31 的下表面上的半导体芯片 32, 半导体芯片 32 的压焊盘 (未示出) 和 PCB 31 的电极连接端子 33 则采用金属丝 34 来焊接。该半导体芯片 32 的连接部与金属丝 34 都采用树脂密封, 从而形成封装体 30。

如上形成的上述半导体器件在其最后的安装工艺过程中, 将 PCB 31 上边朝下颠倒安装, 而 PCB 31 的各端子则经各通孔连接到各个外部端子。此外, 该 PCB 31 的上表面上至少层叠一个半导体器件。然后, 各个半导体器件都通过加放入焊球 36 而连接起来, 而且借助于作为外部端子的引线 38 固定到其他 PCB 上, 结果, 所说的半导体器件就具有一种三维结构。

当从反方向来观察时, 如图 6 所示, 处在 PCB 31 上表面的半导体芯片 32 的块状焊盘部、用来将半导体芯片 32 连接到封装端子的金属丝压焊焊盘部、以及由焊球 36 构成的焊块焊盘部都采用铜箔为基底并镀以镍 (Ni) 和金 (Au) (其厚度各为  $5\mu\text{m}$  和  $0.5\mu\text{m}$ ), 从而改

图 1

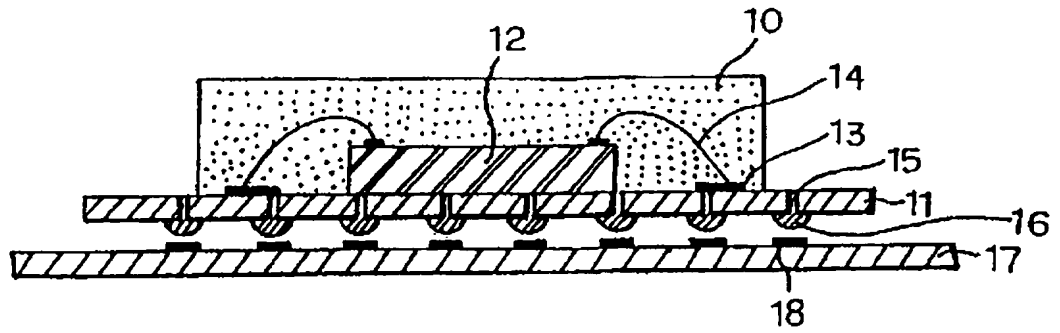


图 2

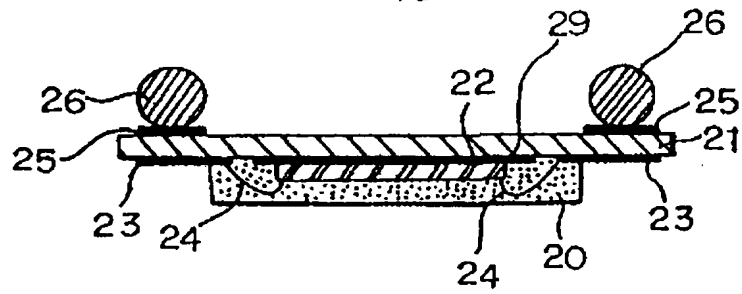


图 3

